

DIALOG(R)File 347:JAPIO

(c) 2006 JPO & JAPIO. All rts. reserv.

04909609 **Image available**

THIN FILM TRANSISTOR AND MANUFACTURE THEREOF

PUB. NO.: **07-202209** [JP 7202209 A]

PUBLISHED: August 04, 1995 (19950804)

INVENTOR(s): YUDA KATSUHISA

 NAKAMURA KENICHI

APPLICANT(s): NEC CORP [000423] (A Japanese Company or Corporation), JP
 (Japan)

APPL. NO.: 05-334130 [JP 93334130]

FILED: December 28, 1993 (19931228)

INTL CLASS: [6] H01L-029/786; H01L-021/268; H01L-021/322; H01L-021/336

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R002 (LASERS); R096 (ELECTRONIC MATERIALS -- Glass
 Conductors); R100 (ELECTRONIC MATERIALS -- Ion Implantation)

ABSTRACT

PURPOSE: To suppress stability decrease of driving a device caused by mingling of alkaline metal and heavy metal with a polycrystalline silicon thin-film transistor.

CONSTITUTION: B ion 6 and then P ion 5 are implanted to a drain electrode polycrystalline silicon film 3, of which p channel part comprises a source electrode. Then an amorphous silicon film 8 is formed and on which a polycrystalline silicon film 10 is formed, radiating a XeCl excimer laser.

In a excimer laser annealing process, a silicone is heated to high temperature and impurities around the channel layer are moved to source and drain regions and gettered to P and B of the source and the drain. As the P that has higher gettering capability is implanted adding to the B, a p-channel transistor can have similar gettering capability with an n channel transistor.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-202209

(43) 公開日 平成7年(1995)8月4日

(51) Int. Cl. ⁶

識別記号

F I

H01L 29/786

21/268

B

21/322

R

9056-4M

H01L 29/78

311

C

9056-4M

311

P

審査請求 有 請求項の数 2 O L (全 5 頁) 最終頁に続く

(21) 出願番号

特願平5-334130

(22) 出願日

平成5年(1993)12月28日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 湯田 克久

東京都港区芝五丁目7番1号 日本電気株式会社社内

(72) 発明者 中村 健一

東京都港区芝五丁目7番1号 日本電気株式会社社内

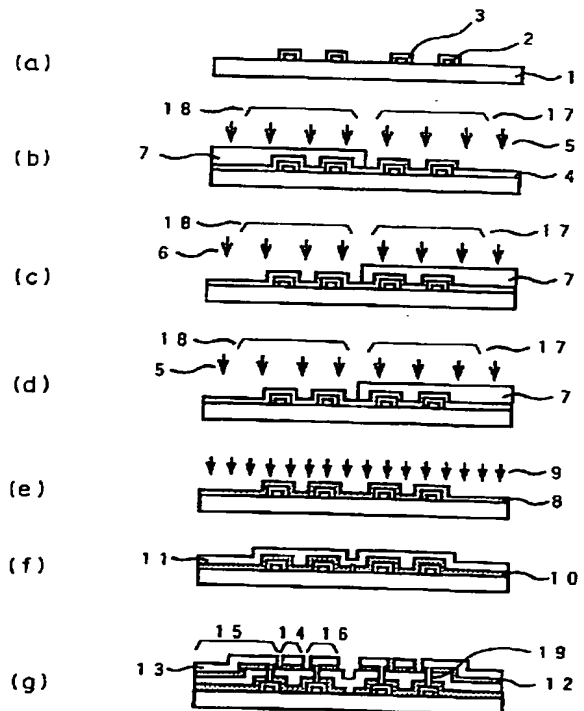
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 薄膜トランジスタおよびその製造方法

(57) 【要約】

【目的】 多結晶シリコン薄膜トランジスタにおいて、アルカリ金属、重金属などの混入によるデバイス駆動安定性の低下を抑制することを目的とする。

【構成】 pチャネル部分ソース、ドレイン電極多結晶シリコン膜3にBイオン6を注入し、引き続いてPイオン5を注入する。続いて非晶質シリコン膜8を形成し、この非晶質シリコン膜にXeClエキシマレーザ光9を照射して多結晶シリコン膜10を形成する。このエキシマレーザアニールの工程において、シリコンの温度が高温に達するためチャネル層付近に存在する不純物はソース、ドレイン領域まで移動し、ソース、ドレインのPおよびBにゲッタされる。本発明ではBに加えてさらにゲッタリング能力の高いPを注入しているため、pチャネルトランジスタにおいてもnチャネルトランジスタと同程度のゲッタリング能力を持たせることができる。



【特許請求の範囲】

【請求項 1】 不純物を含む多結晶シリコン薄膜からなるソース、ドレインと、エキシマレーザアニールによる活性層多結晶シリコン薄膜と、ゲート絶縁膜と、ゲート電極からなる多結晶シリコン薄膜トランジスタにおいて、pチャネルトランジスタのソース、ドレイン用多結晶シリコン膜にボロンとリンが含まれていることを特徴とする薄膜トランジスタ。

【請求項 2】 ソース、ドレイン用多結晶シリコン膜をあらかじめリンを含むように作製する工程と、前記ソース、ドレイン用多結晶シリコン膜の n チャネルトランジスタ部分にはリンを、前記ソース、ドレイン用多結晶シリコン膜の p チャネルトランジスタ部分にはボロンを導入する工程と、リンおよびボロンの導入された前記ソース、ドレイン用多結晶シリコン膜を島状にパターンニングする工程と、非晶質シリコン薄膜を堆積する工程と、前記非晶質シリコン薄膜にレーザ光を照射して活性層多結晶シリコン薄膜を形成する工程と、ゲート絶縁膜を形成する工程と、ソース、ドレイン用多結晶シリコンと配線電極のコンタクトのためのコンタクトホールを形成する工程と、ゲート電極およびソース、ドレイン配線電極を形成する工程とを含むことを特徴とする多結晶シリコン薄膜トランジスタの製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【産業上の利用分野】 本発明は、駆動回路一体型の液晶ディスプレイ、イメージセンサ等への応用を目的とした、絶縁基板上への薄膜トランジスタの製造方法に関するものであり、特にレーザ照射により溶融再結晶化した多結晶シリコン膜を用いる薄膜トランジスタの高性能化、高信頼性化を図るようにしたものである。

【 0 0 0 2 】

【従来の技術】 エキシマレーザアニールにより形成した多結晶シリコンを活性層に用いた薄膜トランジスタをガラス基板上に形成して、駆動回路一体型液晶ディスプレイ、イメージセンサ等を製造する技術の開発が行われている。この開発の動向の一つは大面積化にあり、これに伴う成膜装置の大型化、試料取り扱いの複雑化などによりアルカリ金属、重金属などがデバイス内部に混入する確率が高くなっていく。これら不純物は、トランジスタのスレッシュホールド電圧変動、リーク電流増大、絶縁耐圧低下などデバイス初期特性の劣化を引き起こすほか、デバイス動作中にドリフトで移動するため信頼性を低下させ、デバイス駆動安定性の障害となる。

【 0 0 0 3 】 この対策として、シリコンウエハにおいては、ウエハ内部に酸素析出物や転位などの微小欠陥を発生させこれをゲッターリング中心とさせるイントリンシックゲッターリング技術や、P の高濃度拡散、イオン注入による欠陥導入などによりウエハ裏面にゲッターリング中心をつくるエクストリンシックゲッターリング技術がある。

【 0 0 0 4 】 薄膜トランジスタについては、特開平 3 - 2 5 4 1 5 8 号公報の中で、図 3 のようにチャネルが形成されるのと反対側の非活性面に薄い酸化膜 5 4 を介して P が高濃度にドーピングされた多結晶シリコン膜 5 3 を形成すると、Fe は酸化膜 5 4 中に、Cu は薄酸化膜 5 4 を通り抜けて P ドープ多結晶シリコン膜 5 3 中にゲッタされること が開示されている。

【 0 0 0 5 】 また、図 4 のように n チャネルトランジスタ 6 1 のソース、ドレイン多結晶シリコン膜 6 3 に P が、p チャネルトランジスタ 6 2 のソース、ドレイン多結晶シリコン膜 6 4 に B が含まれるように形成された薄膜トランジスタの活性層多結晶シリコン膜 6 5 の形成をレーザアニールにより行う場合には、溶融シリコン内および高温での固相シリコン内で混入不純物の拡散係数が非常に高くなるため、ソース、ドレイン多結晶シリコン中の P または B に不純物がゲッタされる。このゲッターリング効果は、前記高濃度 P ドープ多結晶シリコン膜（図 3 の 5 3 ）のようにゲッターリング効果を意図して形成したものの効果に比べれば小さいが、ゲッターリングのための工程を経ずにゲッターリング効果が得られるという利点を有している。

【 0 0 0 6 】

【発明が解決しようとする課題】 上記従来の技術における図 3 のような構成では、ゲッターリングのために 2 層分の工程が増えてしまうため、コスト高になるという問題点を有する。またゲッターリング層のパターン加工のためにフォトリソグラフィ工程を通る場合、フォトレジスト、現像液、レジスト剥離液などが汚染源となる可能性は極めて高く、さらに成膜工程における不純物汚染の可能性も十分考えられることから、不純物汚染対策であるゲッターリングのために工程を増やすことは、その目的と相反する面を持っているといえる。したがって、成膜工程、フォトリソグラフィ工程を増やさずにゲッターリングを行う技術を確認することが非常に重要となる。

【 0 0 0 7 】 また、上記従来の技術におけるレーザアニール時ゲッターリング効果においては、B のゲッターリング能力が P のそれよりも低いために、n チャネルトランジスタに比べて p チャネルトランジスタのデバイス性能および信頼性が低くなるという問題点を有する。

【 0 0 0 8 】 本発明は、上記問題点を鑑みて発明されたものであり、多結晶シリコン薄膜トランジスタにおいて、n チャネルトランジスタのソース、ドレイン多結晶シリコン膜に P が、p チャネルトランジスタのソース、ドレイン多結晶シリコン膜に B と P が含まれるように形成し、前記ソース、ドレイン部にレーザアニールを用いて活性層多結晶シリコン膜を形成することにより、n チャネルトランジスタのみならず、p チャネルトランジスタにおいても P によるゲッターリング作用をもたせることを目的とする。

【 0 0 0 9 】

【課題を解決するための手段】上記の目的を達成するため、本発明は、不純物を含む多結晶シリコン薄膜からなるソース、ドレインと、エキシマレーザアニールによる活性層多結晶シリコン薄膜と、ゲート絶縁膜と、ゲート電極からなる多結晶シリコン薄膜トランジスタにおいて、pチャネルトランジスタのソース、ドレイン用多結晶シリコン膜にBとPが含まれるように構成されている。

【0010】ソース、ドレイン用多結晶シリコン膜をあらかじめPを含むように作製する工程と、前記ソース、ドレイン用多結晶シリコン膜のnチャネルトランジスタ部分にはPを、前記ソース、ドレイン用多結晶シリコン膜のpチャネルトランジスタ部分にはBを導入する工程と、PおよびBの導入された前記ソース、ドレイン用多結晶シリコン膜を島状にパターニングする工程と、非晶質シリコン薄膜を堆積する工程と、前記非晶質シリコン薄膜にレーザ光を照射して活性層多結晶シリコン薄膜を形成する工程と、ゲート絶縁膜を形成する工程と、ゲート電極を形成する工程とを含むように構成されている。

【0011】

【実施例】発明の実施例を多結晶シリコン薄膜トランジスタの作製プロセスにおける素子断面図にもとづいて説明する。

【0012】（実施例1）図1は本発明の具体的な第一実施例を示す素子断面図で、順スタガ型多結晶シリコン薄膜トランジスタの作製プロセスを示す。図1（a）に示すように、ガラス基板など少なくとも表面が絶縁物質である基板1上にスパッタ法により金属シリサイド膜2を堆積して、フォトリソグラフィによりソース、ドレイン電極の下部を形成した後、低圧CVD法によりソース、ドレイン用多結晶シリコン膜3を堆積し、フォトリソグラフィによりソース、ドレイン電極を形成する。次に図1（b）に示すように、レジストマスク7を用い、イオン注入カパー用酸化シリコン膜4を通して、nチャネル部分ソース、ドレイン電極多結晶シリコン膜にPイオン5を注入する。続いて図1（c）に示すように、pチャネル部分ソース、ドレイン電極多結晶シリコン膜3にBイオン6を注入し、引き続いて図1（d）に示すように、図1（c）と同一のレジストマスクを用いてPイオン5を注入する。ここで図1（c）の工程と図1（d）の工程、即ちpチャネル部分ソース、ドレイン電極多結晶シリコン膜へのBイオン注入およびPイオン注入の工程は順序が逆になってもよい。図1（d）の前記イオン注入用酸化シリコン膜4を除去した後、図1（e）に示すように低圧CVD法により非晶質シリコン膜8を形成する。ここで前記非晶質シリコン膜8のかわりに多結晶シリコン膜を用いてもよい。前記非晶質シリコン膜8にXeClエキシマレーザ光9を照射し、熔融再結晶化により活性層となる多結晶シリコン膜10を形成する。

【0013】図1（e）のエキシマレーザアニールの工程において、シリコンの温度は短時間に融点の1420 K以上の温度となる。この温度上昇と冷却は非常に短時間の現象であるが熔融状態および高温の固相状態のシリコン中での不純物の拡散係数は非常に大きく、チャネル層付近に存在する不純物はソース、ドレイン領域まで移動することができる。活性層多結晶シリコンをレーザアニールで形成する場合、高品質な膜を得るために10 Hz程度でパルスで10回程度繰り返すが、例えばこの0.1秒の間シリコンの温度が500 K程度以上であれば、Fe、Cuなどは2~3 μm程度移動することができる。こうしてソース、ドレイン領域に移動した不純物はPおよびBにゲッタされる。ここで、発明が解決しようとする課題で述べたようにBおゲッタリング能力はPのそれに比べて低い、図1（d）の工程においてpチャネル部分ソース、ドレイン用多結晶シリコン膜にはBおよびPが導入されているため、pチャネルトランジスタにおいてもnチャネルトランジスタと同程度のゲッタリング能力を持たせることができる。

【0014】次工程として、図1（f）に示すように前記多結晶シリコン膜10をフォトリソグラフィにより島状にパターン加工し、続いて低圧CVD法によりゲート絶縁膜用酸化シリコン膜11を形成する。最後に図1（g）に示すようにPドープ多結晶シリコン膜12およびアルミニウム膜13を用いてゲート電極14、ソース電極15、ドレイン電極16を作製し、順スタガ型多結晶シリコン薄膜トランジスタが完成する。

【0015】（実施例2）図2は請求項2の具体的な実施例を示す素子断面図で、順スタガ型多結晶シリコン薄膜トランジスタの作製プロセスを示す。図2（a）に示すように、ガラス基板など少なくとも表面が絶縁物質である基板21上に、シリコン含有ガスとホスフィンガスをを用いた低圧CVD法によりn-となるPドープ多結晶シリコン膜22を形成する。次に図2（b）に示すように、レジストマスク25を用い、nチャネル部分n-多結晶シリコン膜にPイオン23を注入し、n+領域24を形成する。続いて図2（c）に示すように、pチャネル部分n-多結晶シリコン膜にBイオン26を注入し、p+領域27を形成する。次に、図2（d）に示すようにフォトリソグラフィによりソース、ドレイン電極を形成する。この際、図2（d）に示すようにnチャネルトランジスタ部分のソース、ドレインのチャネル側にn-領域28が0.5 μm程度残るようにパターニングすれば、LDD構造のトランジスタを形成することができる。続いて図2（e）に示すように低圧CVD法により非晶質シリコン膜29を形成する。ここで前記非晶質シリコン膜29のかわりに多結晶シリコン膜を用いてもよい。前記非晶質シリコン膜29にXeClエキシマレーザ30を照射し、熔融再結晶化により活性層となる多結晶シリコン膜31を形成する。図2（e）の工程にお

5

いて、図 1 (e) の工程と同様に p チャネルトランジスタにおいても n チャネルと同様のゲッタリング効果を持たせることができる。

【 0 0 1 6 】 次工程として、図 2 (f) に示すように前記多結晶シリコン膜 3 1 をフォトリソグラフィにより島状にパターン加工し、続いて低圧 C V D 法によりゲート絶縁膜用酸化シリコン膜 3 2 を形成する。最後に図 2 (g) に示すように P ドープ多結晶シリコン膜 3 3 およびアルミニウム膜 3 4 を用いてゲート電極 3 5、ソース電極 3 6、ドレイン電極 3 7 を作製し、順スタガ型多結晶シリコン薄膜トランジスタが完成する。

【 0 0 1 7 】 なお、ソース、ドレイン用多結晶シリコン薄膜によるゲッタリング効果は、プレーナ構造の多結晶シリコン薄膜トランジスタにおいても同様にみられた。

【 0 0 1 8 】

【発明の効果】 以上説明したように、本発明によれば、多結晶シリコン薄膜トランジスタにおいて、 p チャネルトランジスタにおいても n チャネルトランジスタと同程度のエキシマレーザアニール時のゲッタリング能力を持たせることができるため、 n、p 両チャネルトランジスタにおいて、アルカリ金属、重金属などの混入によるデバイス駆動安定性の低下を抑制することができる。

【 0 0 1 9 】

【図面の簡単な説明】

【図 1】 本発明の実施例を示す模式的断面図である。

【図 2】 本発明の一実施例を示す模式的断面図である。

【図 3】 従来技術による、ゲッタリング層を有する薄膜トランジスタの構造断面図である。

【図 4】 従来技術による、エキシマレーザアニール多結晶シリコン薄膜トランジスタの構造断面図である。

【符号の説明】

1, 2 1 ガラス基板
2 金属シリサイド膜

6

3, 6 3, 6 4 ソース、ドレイン用多結晶シリコン膜

4 イオン注入カバー用酸化シリコン膜

5, 2 3 P イオン

6, 2 6 B イオン

7, 2 5 レジスト

8, 2 9 非晶質シリコン膜

9, 3 0 X e C l エキシマレーザ光

1 0, 3 1, 6 5 活性層多結晶シリコン膜

1 1, 3 2, 6 6 ゲート絶縁膜用酸化シリコン膜

1 2, 3 3, 6 7 P ドープ多結晶シリコン膜

1 3, 3 4, 6 8 アルミニウム膜

1 4, 3 5 ゲート電極

1 5, 3 6 ソース電極

1 6, 3 7 ドレイン電極

1 7, 3 8, 6 1 n チャネル部

1 8, 3 9, 6 2 p チャネル部

1 9, 4 0 コンタクトホール

2 2 P ドープ n - 多結晶シリコン膜

2 4 n + 領域

2 7 p + 領域

2 8 n - 領域

5 1 p 型シリコン基板

5 2 酸化膜

5 3 高濃度 P ドープ多結晶シリコン膜 (ゲッタリング層)

5 4 薄酸化膜 (ゲッタリング層)

5 5 シリコン層

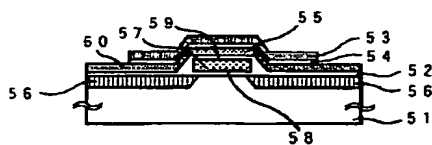
5 6 n + 拡散層

5 7 ゲート電極

5 8, 5 9 ゲート酸化膜

6 0 p + シリコン層

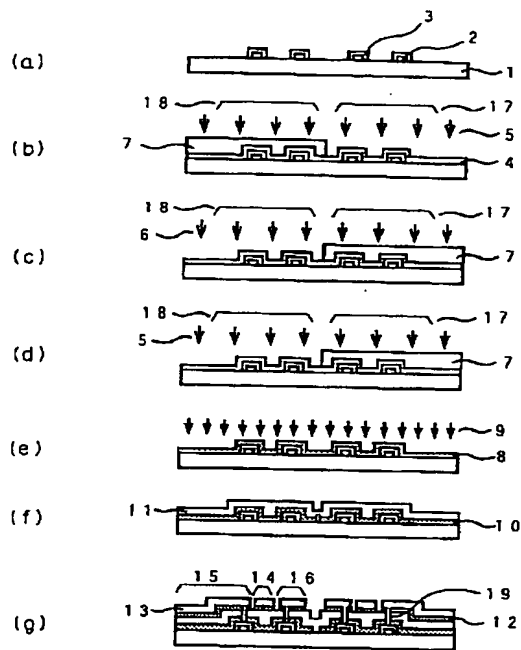
【図 3】



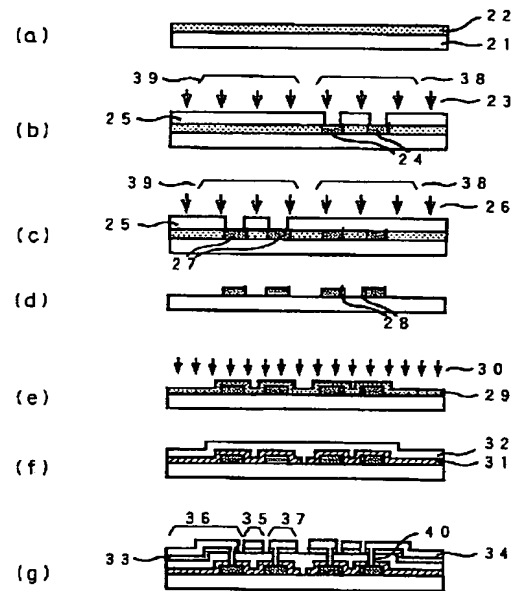
【図 4】



【図 1】



【図 2】



フロントページの続き

(51) Int. Cl.⁶

H 0 1 L 21/322

21/336

識別記号

庁内整理番号

J

F I

技術表示箇所

9056-4M

H 0 1 L 29/78

3 1 1 Y